

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-187473

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

G06F 11/20

G06F 13/10

H04L 1/22

(21)Application number : 08-341955

(71)Applicant : NEC CORP

(22)Date of filing : 20.12.1996

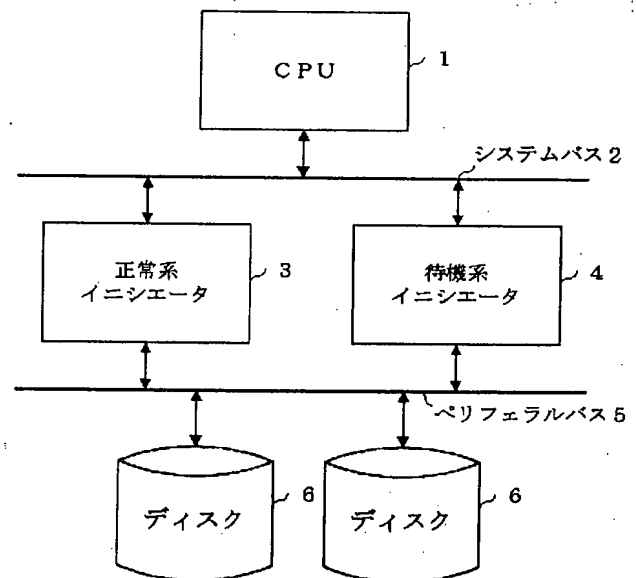
(72)Inventor : TAKAI RIIICHI

(54) DUPLEX INFORMATION PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To perform switching to a stand-by system I/O controller speedily by making a stand-by system I/O controller monitor the operation of a normal system I/O controller by itself without any participation by a CPU side and then take over the operation if a problem occurs.

SOLUTION: If a normal system initiator 3 causes a fault and does not perform an I/O process for a predetermined time, a stand-by system initiator 4 considers that trouble has occurred to an initiator 3 and resets a peripheral bus 5, and then processes incomplete I/O instructions on the side of a system bus 2 which are stored as a substitute for the initiator 3. Even as for an I/O instruction sent from a CPU 1 thereafter, the initiator 4 processes it by substituting for the initiator 3. Thus, if trouble occurs to the initiator 3, a CPU 1 as a host can perform switching to the initiator 4 without reissuing an unprocessed I/O instruction.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-187473

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁸

識別記号

F I

G 0 6 F 11/20

3 1 0

G 0 6 F 11/20

3 1 0 E

13/10

3 1 0

13/10

3 1 0 B

H 0 4 L 1/22

H 0 4 L 1/22

審査請求 有 請求項の数5 O L (全 5 頁)

(21) 出願番号 特願平8-341955

(22) 出願日 平成8年(1996)12月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高井 利一

東京都港区芝五丁目7番1号 日本電気株

式会社内

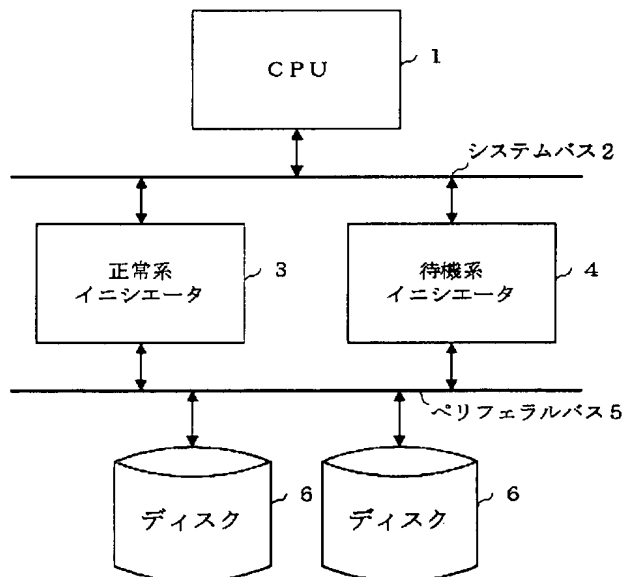
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 2重化情報処理装置

(57) 【要約】

【課題】 CPUの関与を受けることなく、容易に、正常系イニシエータから待機系イニシエータに切り替え可能な2重化情報処理装置の提供。

【解決手段】 正常系イニシエータ3の動作を待機系イニシエータ4が監視し、不正動作や動作停止を検出した場合に、待機系イニシエータ4がCPU1の関与無しに、正常系イニシエータ3に代わってペリフェラルバス5上のディスク6のアクセスを行う。



【特許請求の範囲】

【請求項1】 CPUと、I/O装置と、前記I/O装置を制御する正常系I/Oコントローラと、前記I/O装置を制御する待機系I/Oコントローラと、前記CPU、前記正常系I/Oコントローラおよび前記待機系I/Oコントローラを接続するシステムバスと、前記正常系I/Oコントローラ、前記待機系I/Oコントローラおよび前記I/O装置を接続するペリフェラルバスとを有する2重化情報処理装置において、前記システムバスまたは前記ペリフェラルバス上における正常系I/Oコントローラの動作を監視し、前記正常系I/Oコントローラが不正な動作を行った場合に自ら前記正常系コントローラの動作を引き継ぐ前記待機系I/Oコントローラを有することを特徴とする2重化情報処理装置。

【請求項2】 前記システムバスまたは前記ペリフェラルバス上における前記正常系I/Oコントローラの動作を監視し、前記正常系I/Oコントローラが長時間動作を行わない場合に前記正常系I/Oコントローラが故障したとみなして自ら前記正常系I/Oコントローラの動作を引き継ぐ前記待機系I/Oコントローラを有することを特徴とする請求項1記載の2重化情報処理装置。

【請求項3】 前記待機系I/Oコントローラが前記正常系I/Oコントローラの停止状態を誤認することを防ぐために前記ペリフェラルバスへのダミーのアクセスを行う前記正常系I/Oコントローラを有することを特徴とする請求項2記載の2重化情報処理装置。

【請求項4】 前記CPUから前記システムバスを介して発行されたI/O命令を記憶するI/O命令記憶部と、前記CPUの前記I/O命令の発行時間を監視するCPU時間監視部と、前記CPU時間監視部において時間超過と認識された場合にダミーのI/O処理を前記I/O装置に対し前記ペリフェラルバスを介して実施するダミーI/O処理部と、前記ペリフェラルバス上のI/O処理の実行間隔時間が超過するかどうか監視するI/O処理監視部と、前記CPUからのI/O命令により前記I/O処理装置に対して前記ペリフェラルバスを介してI/O処理を行い、かつ前記I/O処理監視部で時間超過と認識された場合に前記I/O命令記憶部内の未完のI/O命令を処理するI/O命令処理部とを備える前記正常系および待機系I/Oコントローラを有することを特徴とする請求項3記載の2重化情報処理装置。

【請求項5】 CPUと、I/O装置と、前記I/O装置を制御する正常系I/Oコントローラと、前記I/O装置を制御する待機系I/Oコントローラと、前記CPU、前記正常系I/Oコントローラおよび前記待機系I/Oコントローラを接続するシステムバスと、前記正常系I/Oコントローラ、前記待機系I/Oコントローラおよび前記I/O装置を接続するペリフェラルバスとを有する2重化情報処理装置において、前記システムバスまたは前記ペリフェラルバス上における正常系I/Oコ

ントローラの動作を監視し、前記正常系I/Oコントローラが不正な動作を行った場合に、前記ペリフェラルバスをリセットし、前記CPUから前記正常系I/Oコントローラに出されたI/O命令のうち未完の前記I/O命令を処理する前記待機系I/Oコントローラを有することを特徴とする2重化情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、2重化情報処理装置に関し、特に、正常系I/Oコントローラの故障時に待機系I/Oコントローラが自ら動作を引き継ぐ機能を有する2重化情報処理装置に関する。

【0002】

【従来の技術】従来の情報処理装置において複数のI/O装置（たとえば、ファイル装置）を1つのI/Oコントローラにより制御する技術がある。1つのI/OコントローラではそのI/Oコントローラが故障した場合にバスに接続されている全てのI/O装置のアクセスができなくなることがある。このため、高い信頼性を要求される情報処理装置においては、正常系I/Oコントローラと待機系I/Oコントローラとを備える技術がある。

【0003】またいくつかのディスクアレイにおいては正常と待機の2つのI/Oコントローラ間で通信を行っており、お互いが診断を行うことにより相手のI/Oコントローラの不具合を検出できるようになっている。

【0004】また、従来この種の監視機能を持つ情報処理装置は正常系と待機系の二つの分離したバスの監視及び切り替えを目的として使用される。たとえば「特開昭61-220039号公報」には正常系バス情報の記憶と解析機能を持たせることにより、待機系への自動切り替えを可能とする技術が記載されている。

【0005】また、たとえば、「特開平7-311718号公報」には、正常系と待機系の両I/Oコントローラを独立した監視タスクで監視し、切り替えを行う技術が記載されている。

【0006】

【発明が解決しようとする課題】上述した第1の問題点は、従来の待機系I/Oコントローラを用意したシステムでは切り替えを行う際に余分なオーバーヘッドが発生することである。その理由は、CPU側が正常系I/Oコントローラの不具合を検出し、更にその時点で処理の済んでいないI/O命令を確認し、その命令を待機系I/Oコントローラに対し再発行するという特別な処置を行う必要があるためである。

【0007】第2の問題点は、正常系と待機系が互いの動作を監視しているシステムでは、汎用性が低くなることである。その理由は、通常バスのプロトコルとしてI/Oコントローラ間の通信が定義されていないため、その後の監視通信を専用の信号線を用いて行う必要があり、一般のI/O装置が接続されているバスに適用する

ことが難しくなっているからである。

【0008】第3の問題点は、従来の監視システムでは、正常系と待機系においてデータを共有化できないことである。その理由は、従来の監視システムでは互いに使用するバスが分離しているため、各々のバスに接続されているI/O装置を別のバスからアクセスすることができないためである。

【0009】本発明の第1の目的は、信頼性の高い2重化されたI/Oコントローラを有する情報処理装置を提供することである。

【0010】本発明の第2の目的は、待機系I/Oコントローラへの切り替えに際し、CPUが関与せずに高速な切り替えを実現することである。

【0011】本発明の第3の目的は、特別な回路や信号線を用いずに正常系と待機系のI/Oコントローラが互いの監視を行うことを可能にすることにより、簡易な構成で2重化されたI/Oコントローラを有する情報処理装置を提供することである。

【0012】

【課題を解決するための手段】本発明の第1の2重化情報処理装置は、CPUと、I/O装置と、前記I/O装置を制御する正常系I/Oコントローラと、前記I/O装置を制御する待機系I/Oコントローラと、前記CPU、前記正常系I/Oコントローラおよび前記待機系I/Oコントローラを接続するシステムバスと、前記正常系I/Oコントローラ、前記待機系I/Oコントローラおよび前記I/O装置を接続するペリフェラルバスとを有する2重化情報処理装置であって、前記システムバスまたは前記ペリフェラルバス上における正常系I/Oコントローラの動作を監視し、前記正常系I/Oコントローラが不正な動作を行った場合に自ら前記正常系コントローラの動作を引き継ぐ前記待機系I/Oコントローラを備える。

【0013】本発明の第2の2重化情報処理装置は、前記第1の2重化情報処理装置であって、前記システムバスまたは前記ペリフェラルバス上における前記正常系I/Oコントローラの動作を監視し、前記正常系I/Oコントローラが長時間動作を行わない場合に前記正常系I/Oコントローラが故障したとみなして自ら前記正常系I/Oコントローラの動作を引き継ぐ前記待機系I/Oコントローラを備える。

【0014】本発明の第3の2重化情報処理装置は、前記第2の2重化情報処理装置であって、前記待機系I/Oコントローラが前記正常系I/Oコントローラの停止状態を誤認することを防ぐために前記ペリフェラルバスへのダミーのアクセスを行う前記正常系I/Oコントローラを備える。

【0015】本発明の第4の2重化情報処理装置は、前記第3の2重化情報処理装置であって、前記CPUから前記システムバスを介して発行されたI/O命令を記憶

するI/O命令記憶部と、前記CPUの前記I/O命令の発行時間を監視するCPU時間監視部と、前記CPU時間監視部において時間超過と認識された場合にダミーのI/O処理を前記I/O装置に対し前記ペリフェラルバスを介して実施するダミーI/O処理部と、前記ペリフェラルバス上のI/O処理の実行間隔時間が超過するかどうか監視するI/O処理監視部と、前記CPUからのI/O命令により前記I/O処理装置に対して前記ペリフェラルバスを介してI/O処理を行い、かつ前記I/O処理監視部で時間超過と認識された場合に前記I/O命令記憶部内の未完のI/O命令を処理するI/O命令処理部とを備える前記正常系および待機系I/Oコントローラを備える。

【0016】本発明の第5の2重化情報処理装置は、CPUと、I/O装置と、前記I/O装置を制御する正常系I/Oコントローラと、前記I/O装置を制御する待機系I/Oコントローラと、前記CPU、前記正常系I/Oコントローラおよび前記待機系I/Oコントローラを接続するシステムバスと、前記正常系I/Oコントローラ、前記待機系I/Oコントローラおよび前記I/O装置を接続するペリフェラルバスとを有する2重化情報処理装置であって、前記システムバスまたは前記ペリフェラルバス上における正常系I/Oコントローラの動作を監視し、前記正常系I/Oコントローラが不正な動作を行った場合に、前記ペリフェラルバスをリセットし、前記CPUから前記正常系I/Oコントローラに出されたI/O命令のうち未完の前記I/O命令を処理する前記待機系I/Oコントローラを備える。

【0017】

【発明の実施の形態】次に、本発明の第1の実施の形態について図面を参照して詳細に説明する。図1は、本発明の実施の形態を示すブロック図である。ここでは、I/O装置としてディスクを用いているが、他のI/O装置でも同様である。またファイル（ディスク）装置システムの慣例に従いI/Oコントローラをイニシエータと呼称する。

【0018】図1を参照すると、本発明の情報処理装置は、I/O命令を発行するCPU1と、ディスク6を制御する正常系イニシエータ3と、ディスク6を制御する待機系イニシエータ4と、ディスク6と、CPU1、正常系イニシエータ3および待機系イニシエータ4を接続するシステムバス2と、正常系イニシエータ3、待機系イニシエータ4および複数のディスク6を接続するペリフェラルバス5とから構成される。

【0019】次に、本発明の第1の実施の形態の動作について図面を参照して説明する。図2は、本発明の第1の実施の形態の動作を示すタイムチャートである。通常動作時において、CPU1からのI/O命令はシステムバス2を介して正常系イニシエータ3が受け取り、その命令を元にディスク6に対するアクセスをペリフェラル

10

20

30

40

50

5

バス5の protocols に従って執り行う。この間待機系イニシエータ4はシステムバス2において正常系イニシエータ3に対し発行されたI/O命令を記憶し、更にペリフェラルバス5側においては正常系イニシエータ3が行っているアクセスの監視を行う。また、この情報処理装置において使用しているペリフェラルバス5の protocols から故障とみなすことのできる時間 t を予め設定しておき、この時間 t 内にCPU1よりI/O命令が来なかった場合は、正常系イニシエータ3がダミーのI/O処理を行う。このシステムにおいて、正常にシステムが動作している場合は、正常系イニシエータ3がペリフェラルバス5上のI/O処理を実施する(図2のI/O処理A~C)。ただし、予め設定しておいた故障とみなすべき時間 t の間、ペリフェラルバス5へのアクセスを行うためのI/O処理が送られてこなかった場合はダミーのI/O処理を実施する(図2 I/O処理D)。ここで、正常系イニシエータ3が故障を起こし、予め決めておいた時間 t の間I/O処理を行わなかった場合、待機系イニシエータ4は正常系イニシエータ3に不具合が発生したものとし、ペリフェラルバス5をリセットした後、記憶しておいたシステムバス2側のI/O命令のうちまだ完了していないものについて正常系イニシエータ3に代わって処理を行う。また、この後CPU1より送られるI/O命令についても待機系イニシエータ4が正常系イニシエータ3に代わって処理を行う(図2 I/O処理E~F)。

【0020】このように、ホストであるCPU1が正常系イニシエータ3の不具合の監視を行ったり正常系イニシエータ3の不具合発生時に未処理のI/O命令の再発行を行ったりせずに待機系イニシエータ4への切り替えを行うという作業を特別なイニシエータ間の通信機能を追加せずに行うことが可能となる。

【0021】次に、本説明の第2の実施の形態について図面を参照して説明する。

【0022】構成については第1の実施形態と同等である。正常系イニシエータ3はCPU1からのI/O命令に従い、ペリフェラルバス5の protocols に基づいてディスク6とのデータ転送を行う。この際に、待機系イニシエータ4も同じI/O命令を記憶しておくと共に、正常系イニシエータ3とディスク6とのデータ転送がペリフェラルバス5の protocols に基づいているかを監視する。ここでデータ転送がペリフェラルバス5の protocols から外れたのを認識した場合、待機系イニシエータ4はその旨をCPU1に通知すると共に、一度ペリフェラルバス5をリセットし後、記憶しておいたシステムバス2側のI/O命令のうちまだ完了していないものについて正常系イニシエータ3に代わって処理を行う。また、この後CPU1より送られるI/O命令についても待機系イニシエータ4が正常系イニシエータ3に代わって処理を行う。

6

【0023】また、本システムにおいて、正常系イニシエータ3の異常を検出した後はそれまでの待機系イニシエータ4が正常系として動作を行うが、装置側にてイニシエータの活線挿抜機能を有する場合、故障した正常系イニシエータ3を交換することにより、従来正常系イニシエータ3が実装されていた場所にある新たなイニシエータが待機系として動作を行うことにより、継続して信頼性の高いシステムを構築することが可能となっている。

10 【0024】次に、本発明の実施例について図3を参照して説明する。図3は、正常系および待機系イニシエータの詳細ブロック図である。図3を参照すると、正常系イニシエータ3および待機系イニシエータ4は、I/O命令処理部71と、I/O命令記憶部72と、CPU時間監視部73と、ダミーI/O処理部74と、I/O処理監視部75とから構成される。

20 【0025】次に、本発明の実施例の動作について図2、図3を参照して説明する。正常系イニシエータ3は、CPU1からのI/O命令をI/O命令処理部71で受け取り、ペリフェラルバス5を介して、ディスク6に対するコマンド発行、データの送出、受け取りを含むI/O処理を実行する(図2 I/O処理A~C)。また、この時、待機系イニシエータ4は、CPU1から発行されたI/O命令をI/O命令記憶部72に記憶する。

30 【0026】また、正常系イニシエータ3のCPU時間監視部73において、CPU1が時間 t 内にI/O命令を発行するかどうか監視する。CPU時間監視部73において、時間 t 内にCPU1がI/O命令を発行しないと認識すると、正常系イニシエータ3のダミーI/O処理部74がダミーのI/O処理をディスク6に対してペリフェラルバス5を介して実施する(図2 I/O処理D)。

40 【0027】待機系イニシエータ4においては、I/O処理監視部75が、ペリフェラルバス5上のI/O処理を監視し、時間 t 以上、I/O処理が存在しないと、その旨をI/O命令処理部71に通知する。この通知を受け取ると、I/O命令処理部71は、ペリフェラルバス5をリセットし、I/O命令記憶部72から、まだ処理されていないI/O命令を受け取りI/O処理をディスク6に対してペリフェラルバス5を介して実施する(図2 I/O処理E~F)。

【0028】また、上記において、CPU時間監視部73が監視する時間 t と、I/O処理監視部75が監視する時間 t は異なってもかまわない。

【0029】

50 【発明の効果】本発明の第1の効果は、待機系I/Oコントローラへの切り替えが迅速に行われることである。その理由は、CPU側の関与を受けることなく、待機系I/Oコントローラが自ら正常系I/Oコントローラの

7

動作を監視し、問題が生じた場合にその動作を引き継ぐため、CPUのオーバーヘッドを必要としないからである。

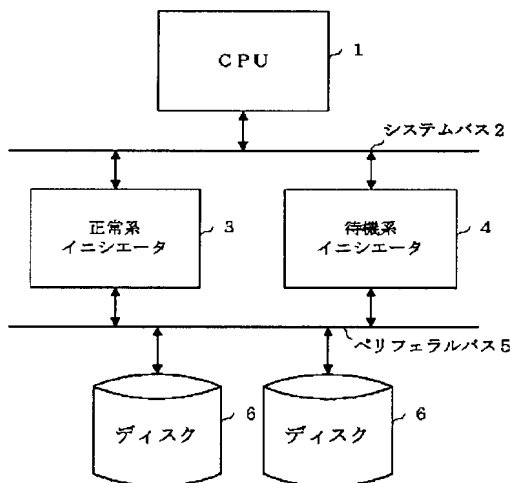
【0030】第2の効果は、簡易に待機系I/Oコントローラへの切り替えが実施できることである。その理由は、通常、待機系I/Oコントローラを採用しようとする場合、OS等により正常系コントローラの監視と待機系コントローラへの切り替えを行う必要があるが、本発明ではOSやCPU側に特別な対応が必要とならないため、容易に待機系I/Oコントローラを使用することが可能となるからである。

【図面の簡単な説明】

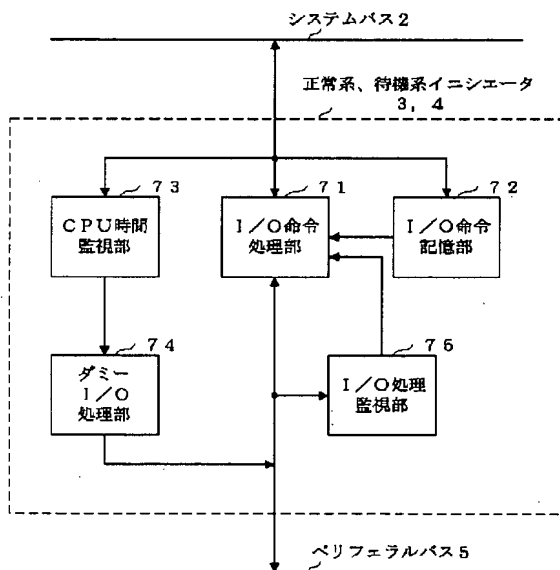
【図1】本発明の実施の形態を示すブロック図である。

【図2】本発明の動作を示すタイムチャートである。

【図1】



【図3】



8

【図3】本発明の実施例を示すブロック図である。

【符号の説明】

- | | |
|----|-----------|
| 1 | CPU |
| 2 | システムバス |
| 3 | 正常系イニシエータ |
| 4 | 待機系イニシエータ |
| 5 | ペリフェラルバス |
| 6 | ディスク |
| 71 | I/O命令処理部 |
| 72 | I/O命令記憶部 |
| 73 | CPU時間監視部 |
| 74 | ダミーI/O処理部 |
| 75 | I/O処理監視部 |

【図2】

